适用于现场可编程门阵列 I/O 通道的

可编程延时单元结构设计方法研究

高丽江　　1，2　，杨海钢　　1，2　，韦援丰　　1　，李　威　　3

（1 中国科学院 电子学研究所，北京 100190；2 中国科学院大学，北京 100049；

3 中国科学院 计算技术研究所，北京 100190）

摘　要：本文对 FPGA 芯片输入输出通道模块的可编程延时单元设计方法进行了研究，针对可编程延时单元所需的延时调整范围广、延时调整精度高、延时级数多的特性，提出了一种输入输出信号时序可调整的结构设计方法， 以满足总线信号边沿对齐或电路建立与保持时间的要求.所设计的延时链采用粗调延时单元与细调延时单元相结合的方式提高精度和覆盖范围，并在较少的控制向量下，实现了 45 级延时.延时链延时步进精度为 100 ps，延时最大值为 4.58 ns.其功耗和面积分别是传统反相器链结构延时单元的 34.5%和 55.9%.

关键词： 现场可编程门阵列；细调延时单元；粗调延时单元；输入输出通道

Research in to the programmable delay element structure design

method for field programmable gate array I/O track

GAO Li-jiang　1，2　，YANG Hai-gang　1，2　，WEI Yuan-feng　1　，LI Wei　3

(1 Institute of Electronics， Chinese Academy of Sciences， Beijing 100190， China；

2 University of Chinese Academy of Sciences， Beijing 100049， China；

3 Institute of Computing Technology， Chinese Academy of Sciences， Beijing 100190， China)

Abstract：In this paper， the programmable delay element of the input and output track module of the FPGA chip is studied. By designing the programmable delay element with wide delay adjustment range， high delay adjustment precision and many delay series， the requirements of the delay adjustment of bus signals to align bus edges or meet the requirement of setup/hold time are satisfied. The designmethod is proposed in detail. In the design， the fine-grained delay element and coarse-grained delay element are used to increase the step precision and delay range. Finally， the delay element with the precision of 100ps and the range of 4.58ns is implemented under the condition of fewer control vector， lower power dissipation and smaller area. The simulation result indicate that the power and area are only 34.5% and 55.9% compared with the traditional inverter chain structure.

Key words： FPGA；Fine-Grained Delay Element; Coarse-Grained Delay Element; Input/Output Track

作者简介：

高丽江　男，(1982-)，博士研究生，助理研究员.研究方向为可编程芯片结构设计与优化.

杨海钢（通讯作者）　男，(1960-)，博士，研究员/教授，博士生导师.研究方向为可编程芯片设计技术、VLSI 设计、电子设计自动化（EDA）技术.Email: yanghg@mail.ie.ac.cn.

韦援丰　男，(1982-)，博士，助理研究员.研究方向为高速集成电路设计.

李　威　女，(1983-)，博士，副研究员，硕士生导师.研究方向为高性能芯片设计技术、VLSI 设计、FPGA 优化结构研究.