3 200 Mbps DDR4 PHY 的物理设计优化

任小敏 [1]，苏皆磊 [2]，倪哲勤 [2]，王 琴 [1]
（1 上海交通大学 电子信息与电气工程学院，上海 200240；
2 世芯电子有限公司，上海 200030）

摘 要：以一款基于 TSMC 16 nm FinFET 工艺的 HPC（High Performance Computing）芯片中 DDR4 PHY 模块为研究对象，提出了其物理设计及优化方案，完成了 DDR4 PHY 的布图规划和布局、时钟树综合与优化和时序收敛分析.布图规划时考虑到宏单元和 IO 单元的特性再结合面积和时序等性能的优化确定了 DDR4 PHY 的布局形状.时钟树综合时，对比分析了传统的时钟树综合 CTS 和优化设计过的多源时钟树综合 MSCTS，设计了针对 DDR4 PHY 模块特点的大型多位缓冲器 M2M8，其驱动距离可以达到 1200 μm.仿真实验结果表明，优化后的时钟树结构级数从 65 级降到 19 级，时钟最大延迟最多降低了 48.37%，时钟偏差减少了 52.33%，功耗降低了 17.24%， DDR4 PHY 的各项性能优化结果显著，达到实验目的.

关键词：DDR4 PHY；时钟树综合；多源时钟树结构；多位缓冲器

Optimization in physical design of 3 200 Mbps DDR4 PHY

REN Xiao-min [1]，SU Jie-lei [2]，NI Zhe-qin [2]，WANG Qin [1]
(1 School of Microelectronics， Shanghai Jiao Tong University， Shanghai 200240, China；
2 Alchip Technologies Limited Company， Shanghai 201108, China)

Abstract：The physical design and its optimization were proposed for the DDR4 PHY of one High Performance Computing chip based on TSMC 16 nm FinFET process technology， including the floorplan、placement、clock tree synthesis and its optimization and timing closure analysis. Take macros and IO cells combined with area and timing optimization into account to fix the floorplan shape of DDR4 PHY. Compare the typical CTS with optimized MSCTS and analyze their differences when clock tree synthesis. Design multi-bit buffer M2M8 for DDR4 PHY whose drive distance can be 1200 μm. Simulation results show that optimized clock tree structure level decreases from 65 to 19， max clock latency decreases by 48.37%， clock skew decreases by 52.33%， power decreases by 17.24%， the performance optimization results are prominent and achieve the goal of experiment.

Key words：DDR4 PHY; clock tree synthesis; multi-source clock tree structure; multi-bit buffer

作者简介：
任小敏 女，（1993-），硕士.研究方向为大规模集成电路设计、集成电路物理设计.
苏皆磊 男，(1982-)，高级工程师.研究方向为集成电路物理设计.
倪哲勤 男，(1983-)，高级工程师.研究方向为集成电路物理设计.
王 琴(通讯作者) 女，(1975-)，副教授.研究方向为大规模集成电路设计、先进集成电路设计方法. E-mail：qinqinwang@sjtu.edu.cn.